

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-085572

(43) Date of publication of application : 21.05.1983

(51)Int.Cl.

H01L 29/91

(21)Application number : 56-182980

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22) Date of filing : 17.11.1981

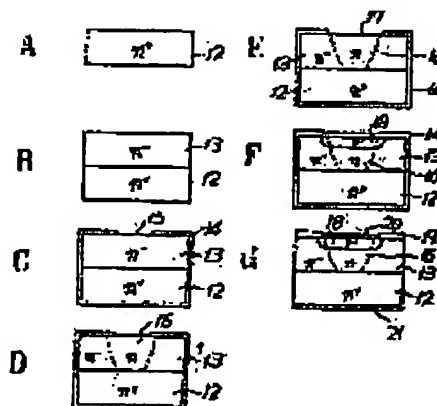
(72)Inventor : YANAGISAWA KAZUMUKI

(54) PLANAR TYPE DIODE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To lower the forward voltage drop of a planar type diode and to enhance the reverse withstand voltage by forming a region of different impurity density in a region having lower impurity density of two adjacent regions at both sides of a p-n junction.

CONSTITUTION: A substrate 12 of a planar type diode is formed in n+ type, and an n- type semiconductor layer 13 is formed on the substrate 12. The entire surfaces of the substrate 12 and the layer 13 are covered with an oxidized film 14, the film 14 is then partly removed, thereby forming a hole 15 for diffusing an n type impurity, the impurity is diffused from the hole 15, thereby forming the first n type diffused surface region in the layer 13. A hole 17 is formed to surround completely the hole 15 for forming the first n type diffused surface region 16, p type impurity is diffused from the hole 17, thereby forming the second p+ type diffused surface region 18 shallower than the region 16. Further, the surface protective film 19 of only necessary position is allowed to remain, and electrodes 20 and 21 are respectively formed on the region 18 and substrate 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁 (JP)
 ⑭ 公開特許公報 (A)

⑮ 特許出願公開

昭58—85572

⑯ Int. Cl.³
 H 01 L 29/91

識別記号

庁内整理番号
 7638—5F

⑰ 公開 昭和58年(1983)5月21日

発明の数 2
 審査請求 未請求

(全 4 頁)

⑱ プレーナ型ダイオードおよびその製造方法

⑲ 特 願 昭56—182980

⑳ 出 願 昭56(1981)11月17日

㉑ 発 明 者 柳沢一向

東京都渋谷区幡ヶ谷 2 丁目43番

2号オリンパス光学工業株式会社
社内㉒ 出 願 人 オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷 2 丁目43番
2号

㉓ 代 理 人 弁理士 杉村暁秀 外1名

明 細 書

1. 発明の名称 プレーナ型ダイオードおよびその製造方法

2. 特許請求の範囲

1. 一導電型の半導体基体と、この基体の一方の表面に隣接し、基体内部へ存在する反対導電型の表面領域とを具えるプレーナ型ダイオードにおいて、前記一導電型の基体と反対導電型の表面領域との境界面に形成される pn 接合の、前記両体表面とほぼ平行に存在する部分の下側にある基体部分の不純物濃度を基体の他の部分の不純物濃度よりも高くしたことを特徴とするプレーナ型ダイオード。

2. 一導電型の半導体基体上に、一導電層でかつ不純物濃度が前記半導体基体の不純物濃度よりも高い半導体層を形成し、この半導体層の表面から前記半導体層の不純物濃度よりも高い不純物濃度を有する一導電型の第1表面領域を形成し、前記半導体層の側面から、前記第1表面領域の表面領域を囲むが第1表面

領域よりも高い反対導電型の第2表面領域を形成することを特徴とするプレーナ型ダイオードの製造方法。

3. 発明の詳細な説明

本発明は、一導電型の半導体基体と、この基体の一方の表面に隣接し、基体内部へ存在する反対導電型の表面領域とを具えるプレーナ型ダイオードおよびかかるプレーナ型ダイオードの製造方法に関するものである。

このようなプレーナ型ダイオードは既知であり、例えば第1図に示すような構造のものが知られている。このプレーナ型ダイオード1を製造するに当つては、 n^+ 型半導体基板2の上に n 型半導体層3を、例えばエピタキシャル成長により形成し、この半導体層3内に、例えば拡散により p^+ 型表面領域4を形成して pn 接合5を形成する。次に半導体層3の表面には、酸化膜、炭化膜、ポリイミド膜被覆などから成る表面保護膜6を被覆する。さらに p^+ 型表面領域4および n^+ 型基板2の表面に、例えば金膜蒸着により電極7および8を設け

る。

このようなプレーナ型ダイオードノにおいて、順方向電圧降下は、 n 型半導体層 3 の、 p^+ 型表面領域 4 の直下にある部分の抵抗、すなわち不純物濃度で決まり、この順方向電圧降下を低くするためには n 型半導体層 3 の不純物濃度を高くして抵抗を低くする必要がある。一方、ダイオードの逆方向耐電圧は n 型半導体層 3 の不純物濃度が低い程高くなる。このように n 型半導体層 3 に課せられる条件は相反することになり、そのため順方向電圧降下が低く、しかも逆方向耐電圧が高いプレーナ型ダイオードは従来得られなかった。

本発明の目的はpn接合を挟んで隣接する2つの領域の内、不純物濃度の低い領域に不純物濃度の高くなる領域を形成することにより順方向の電圧降下を低くすると共に逆方向の耐電圧を高くすることができるプレーナ型ダイオードを提供しようとするものである。

本発明は、一導電型の半導体基体と、この基体の一方の表面に隣接し、基体内部へ延在する反対

3

のであるが、さらに詳しく検討すると、プレーナ型ダイオードノに逆バイアスした際に電界の集中する n 型半導体層 3 の表面部分 2 の不純物濃度に主として依存することを確めた。したがって本発明では、 n 型半導体層 3 の表面部分 2 の不純物濃度を低くして、この部分の抵抗を高くすることにより逆方向耐電圧を高くすることができるという要旨に着目したものである。

以下、図面を参照して本発明を詳細に説明する。

第2図A～Cは本発明のプレーナ型ダイオードの順次の製造工程を示すものである。先ず第2図Aに示すようにプレーナ型ダイオードの基板 1 として使用するウェハを準備する。本例ではこの基板 1 を p^+ 型とし、その不純物濃度を 10^{18} cm^{-3} 以上とする。次に第2図Bに示すように n^+ 型基板 1 の上に n 型半導体層 3 をエピタキシャル成長、蒸着などの方法で形成する。このとき n 型半導体層 3 の n 型不純物濃度は、典型的には $10^{13} \sim 10^{15} \text{ cm}^{-3}$ の範囲とする。また、前記 n 型半導体層 3 の厚みは目的に応じて選択されるが、多くの

5

特開458-05572(2)

導電型の表面領域とを具えるプレーナ型ダイオードにおいて、前記一導電型の基体と反対導電型の表面領域との境界面に形成されるpn接合の前記基体表面とほぼ平行に延在する部分の下側にある基体部分の不純物濃度を基体の他の部分の不純物濃度よりも高くしたことを特徴とするものである。

さらに本発明の目的は上述したプレーナ型ダイオードを簡単かつ低確に製造し得る方法を提供することである。

本発明のプレーナ型ダイオードの製造方法は、一導電型の半導体基体上に、一導電型でかつ不純物濃度が前記半導体基体の不純物濃度よりも高い半導体層を形成し、この半導体層の表面から前記半導体層の不純物濃度よりも高い不純物濃度を有する一導電型の第1表面領域を形成し、前記半導体層の表面から、前記第1表面領域の表面区域を囲むが第1表面領域よりも高い反対導電型の第2表面領域を形成することを特徴とするものである。

プレーナ型ダイオードの逆方向耐電圧は、第1図に示した n 型半導体層 3 の不純物濃度で決まる

6

場合 $5 \sim 500 \text{ nm}$ の範囲である。次に第2図Cに示すように基板 1 および半導体層 3 の表面全体を酸化膜 14 で覆い、その酸化膜 14 を部分的に除去して n 型不純物拡散用の開口部 15 を形成する。この開口部 15 より n 型不純物を拡散させ、 n 型半導体層 3 の中に n 型第1拡散表面領域 16 を形成する。このとき n 型第1拡散表面領域 16 の不純物濃度は $10^{16} \sim 10^{18} \text{ cm}^{-3}$ とするのが望ましい。また、 n 型拡散表面領域 16 は n^+ 型基板 1 に達するまで拡散するのが好適である。この状態を第2図Dに示す。次に第2図Eに示すように、第1の n 型拡散表面領域 16 を形成するための開口部 15 を完全に囲むように開口部 17 をあけ、この開口部 17 より p 型不純物を拡散し、第1拡散表面領域 16 よりも高い第2の p^+ 型拡散表面領域 18 を形成する。このときの p 型不純物濃度は 10^{18} cm^{-3} 以上とする。この第2拡散表面領域 18 は第1拡散表面領域 16 の表面区域を完全に囲むことになる。この状態を第2図Fに示す。さらに必要個所の表面保護膜 19 のみを施し、 p^+ 型拡散表面領域 18 および n^+ 型基板

6

12にそれぞれ電極10および11を形成する。尚、炭素保護膜19としては、前工程まで利用してきた酸化膜14をそのまま使つてもよいし、又、PSG、 Si_3N_4 膜さらにはポリイミド系被膜で新たに形成してもよい。このようにしてできたプレーナ型ダイオードを第2図Gに示す。

以上述べてきたような本発明の方法により、 p^+ 型拡散表面領域18直下の n^- 型半導体層13の部分に、 n^- 型半導体層13の表面より不純物濃度の高い n 型拡散表面領域14を作ることにより、ダイオードの順方向電圧降下を小さくすることができる。また、逆方向耐圧については、耐圧を決定する n^- 半導体層13の炭素部分22の不純物濃度は n^- 型半導体層13と同様に保たれているので、逆耐圧を高くすることができる。このようにして本発明によれば順方向電圧降下を低くすることができると共に逆方向耐電圧を高くすることができ、相反する両者を同時に解決することができる。

本発明は上述した例にのみ限定されるものではなく、種々の変更が可能である。上述した実施例

、 ？ 、

マスクとして使う酸化膜14で覆つたのち、一方の表面の酸化膜を除去し、次に酸化膜14の無い表面から n 型不純物を拡散して n^+ 拡散層12を形成し、最後に酸化膜14を全て除去することにより第3図Bに示すような n^-/n^+ 構造を造ることもできる。いずれの方法を採つても、第3図Bに示した n^-/n^+ 構造の基板を作ることが出来る。

さらに、第2図Dで形成した n 型拡散表面領域14は n^+ 型基板12にぶつかると形成するのが望ましいが、第4図に示すように、 n 型拡散表面領域14が n^+ 型基板12にとどかなくても、順方向電圧降下が改善されるのは明らかである。

また、上述した例では n 型領域14および p^+ 型領域18はともに拡散領域としたが、その代わりにいずれか一方をイオン注入により形成することもできる。さらに n^+ 型基板12と n^- 型半導体層13の境界面に n 型埋込領域を形成することもできる。上述したように本発明によれば、プレーナ型ダイオードの順方向電圧降下を小さくしながら、同時に逆方向の耐圧を向上させることができる。

、 ？ 、

特別明58-05572(3)

では n^+ 型基板12を出発材料として用いたが、基板を p^+ 型として素子を作成することも可能である。この場合には p 、 n が全て逆転するだけで、第2図A～第2図Gに示した製造工程をそのまま適用することができる。また、上述した例ではプレーナ型ダイオード単体について説明したが、ウエハ上に複数個のダイオードが含まれる場合、さらには、耐圧を必要とするpn層が表面に露出したプレーナ型素子であれば、サイリスタ、トランジスタ等にも容易に拡張することが出来る。さらに第2図Bに示す n^-/n^+ 構造を実現する方法としては、前述した方法の他に、第3図に示す方法でも可能である。第3図A～第3図Dに示す方法では、第3図Aに示すように n^- 型基板12を準備し、この基板の表面から n 型不純物の拡散により第3図Bに示すように n^+ 型拡散層12、11を形成した後、いずれか一方の n^+ 型拡散層、例えば拡散層11をラッピング又はエッチングで除去して、第3図Cに示す n^-/n^+ 構造を造ることができる。また第3図Dに示すように n^- 型基板12表面を拡散

(4)

4. 図面の簡単な説明

第1図は従来のプレーナ型ダイオードの構成を示す断面的断面図、

第2図A～Gは本発明によるプレーナ型ダイオードの製造方法の順次の工程を示す断面的断面図、

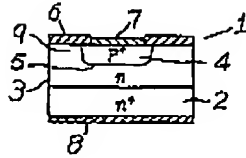
第3図A～Dは第2図Bに示す n^+/n^- 構造の製造方法の他の例を示す断面的断面図、

第4図は本発明によるプレーナ型ダイオードの他の例の構成を示す断面的断面図である。

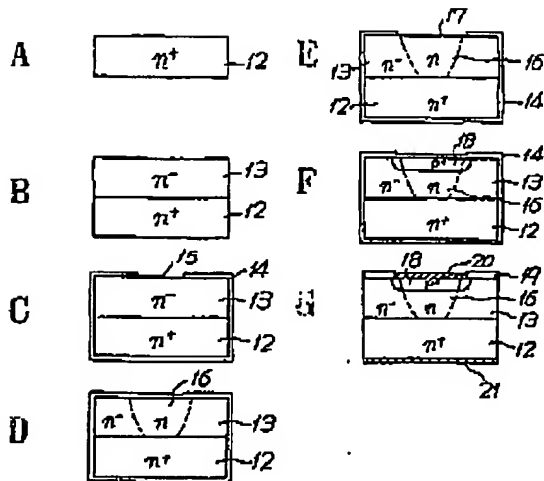
12… n^+ 型基板、13… n^- 型半導体層、14… n 型第1拡散領域、18… p^+ 型第2拡散領域。

時間 58-85572(4)

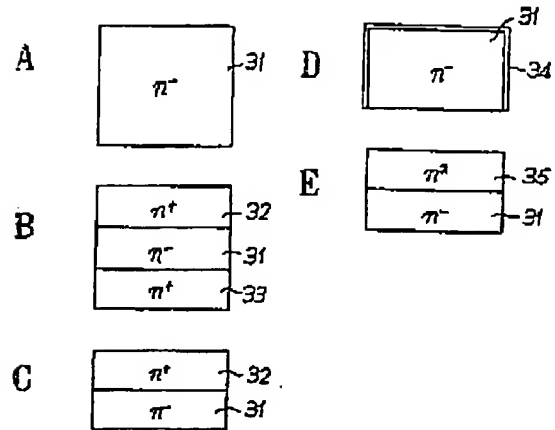
第 1 図



第 2 図



第 3 図



第 4 図

